

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP409007877A
DOCUMENT-IDENTIFIER: JP 09007877 A
TITLE: MULTILAYERED CERAMIC CHIP CAPACITOR
AND MANUFACTURE THEREOF
PUBN-DATE: January 10, 1997

INVENTOR-INFORMATION:
NAME
AMANO, KOJI
OGURA, KOTARO

ASSIGNEE-INFORMATION:
NAME COUNTRY
ROHM CO LTD N/A

APPL-NO: JP08112075
APPL-DATE: April 9, 1996.

INT-CL (IPC): H01G004/12, H01G004/12 , H01G004/228 ,
H01G004/252 , H01G004/232
, H01G004/30

ABSTRACT:

PROBLEM TO BE SOLVED: To obtain a multilayered ceramic chip capacitor which is high in thermal shock resistance by a method wherein the peripheral parts of the end faces of the capacitor where an inner electrode and an outer electrode are provided are chamfered as prescribed in radius of curvature.

SOLUTION: A multilayered ceramic capacitor element 7 includes a ceramic dielectric 3 of barium titanate and inner electrodes 5 of

AgPd alloy. The element 7 and a mixed powder of fused alumina and tungsten carbide are introduced together into a pot, the periphery of the outer electrode forming end face of the element 7 is so chamfered as to possess a radius of curvature above 0.1mm, preferably 0.13 to 0.15mm. Thereafter, Ag powder and molten glass frit particles and vehicle of ethyl cellulose/terpineol mixed liquid are kneaded into paste, and the paste is applied onto both the chamfered end faces of the element 7 and put together by baking for the formation of outer electrodes 9. Then, an Ni plating film 11 is formed on the surface of each electrode 9, and moreover an Sn/Pb plating film 13 is formed thereon.

COPYRIGHT: (C)1997,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-7877

(43)公開日 平成9年(1997)1月10日

(51)Int.Cl. ^a	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 4 9		H 0 1 G 4/12	3 4 9
	3 6 4			3 6 4
4/228		7922-5E	4/30	3 1 1 E
4/252		9174-5E	1/14	F
4/232		9174-5E		V
審査請求 未請求 請求項の数17 F D (全 9 頁) 最終頁に続く				

(21)出願番号 特願平8-112075

(22)出願日 平成8年(1996)4月9日

(31)優先権主張番号 特願平7-116507

(32)優先日 平7(1995)4月18日

(33)優先権主張国 日本 (J P)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 天野 弘司

山梨県富士吉田市上吉田4453 ローム富士株式会社内

(72)発明者 小倉 康太郎

山梨県富士吉田市上吉田4453 ローム富士株式会社内

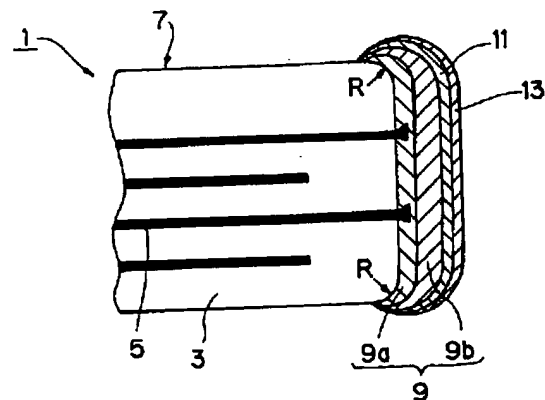
(74)代理人 弁理士 梶山 信是 (外1名)

(54)【発明の名称】 多層セラミックチップ型コンデンサ及びその製造方法

(57)【要約】

【課題】 熱衝撃サイクルに強い多層セラミックチップ型電子部品を提供する。

【解決手段】 内部電極を有する多層セラミックコンデンサ素子と、導電性金属粉末とガラスフリットを含むペーストを前記多層セラミックコンデンサ素子の両端面に焼付けることにより前記内部電極と電気的に接続された外部電極と、当該外部電極の表面に形成されたメッキ層とを有する多層セラミックチップ型コンデンサにおいて、①前記多層セラミックコンデンサ素子の内部電極と外部電極とが接続される両端面の周辺部を $R=0.10\text{ mm}$ 以上の曲率半径で面取りする；および/または、②前記外部電極が、前記内部電極に接触する下塗層と、この下塗層表面に形成される上塗層との2層構造を有し、前記下塗層は導電性金属粉末に対し未熔融ガラスフリットを22~40重量%含有する下塗層用ペーストを用い、前記上塗層は導電性金属粉末に対し未熔融ガラスフリットを0重量%超7重量%以下含有する上塗層用ペーストを用い、前記ガラスフリット粒子表面のみが溶ける範囲内の温度で焼成して形成する。



【特許請求の範囲】

【請求項1】 内部電極を有する多層セラミックコンデンサ素子と、導電性金属粉末とガラスフリットを含むペーストを前記多層セラミックコンデンサ素子の両端面に焼付けることにより前記内部電極と電気的に接続された外部電極と、該外部電極の表面に形成されたメッキ層とを有する多層セラミックチップ型コンデンサにおいて、前記多層セラミックコンデンサ素子の内部電極と外部電極とが接続される両端面の周辺部が $R=0.10\text{mm}$ 以上の曲率半径で面取りされていることを特徴とする多層セラミックチップ型コンデンサ。

【請求項2】 R が $0.13\sim0.15\text{mm}$ の範囲内である請求項1の多層セラミックチップ型コンデンサ。

【請求項3】 内部電極を有する多層セラミックコンデンサ素子と、導電性金属粉末とガラスフリットを含むペーストを前記多層セラミックコンデンサ素子の両端面に焼付けることにより前記内部電極と電気的に接続された外部電極と、該外部電極の表面に形成されたメッキ層とを有する多層セラミックチップ型コンデンサにおいて、前記外部電極が、前記内部電極に接触する下塗層と、この下塗層表面に形成される上塗層との2層構造を有し、前記下塗層は導電性金属粉末に対し未溶融仮焼ガラスフリットを $22\sim40$ 重量%（ペースト内の無機成分の重量を基準にして）含有する下塗層用ペーストを用い、前記上塗層は導電性金属粉末に対し未溶融ガラスフリットを 0 重量%超 7 重量%以下（ペースト内の無機成分の重量を基準にして）含有する上塗層用ペーストを用い、前記ガラスフリット粒子表面のみが溶ける範囲内の温度で焼付して形成されたことを特徴とする多層セラミックチップ型コンデンサ。

【請求項4】 未溶融ガラスフリットは PbO 、 SiO_2 、 Al_2O_3 、 B_2O_3 及び ZnO からなる請求項3のコンデンサ。

【請求項5】 下塗層の焼付後の厚さは $5\sim20\mu\text{m}$ の範囲内であり、上塗層の焼付後の厚さは $20\sim100\mu\text{m}$ であり、下塗層よりも上塗層の方が厚い請求項3のコンデンサ。

【請求項6】 内部電極を有する多層セラミックコンデンサ素子と、導電性金属粉末とガラスフリットを含むペーストを前記多層セラミックコンデンサ素子の両端面に焼付けることにより前記内部電極と電気的に接続された外部電極と、該外部電極の表面に形成されたメッキ層とを有する多層セラミックチップ型コンデンサにおいて、前記多層セラミックコンデンサ素子の内部電極と外部電極とが接続される両端面の周辺部が $R=0.10\text{mm}$ 以上の曲率半径で面取りされており、前記外部電極が、前記内部電極に接触する下塗層と、この下塗層表面に形成される上塗層との2層構造を有し、前記下塗層は導電性金属粉末に対し未溶融仮焼ガラスフリットを $22\sim40$ 重量%（ペースト内の無機成分の重量を基準にして）含

有する下塗層用ペーストを用い、前記上塗層は導電性金属粉末に対し未溶融ガラスフリットを 0 重量%超 7 重量%以下（ペースト内の無機成分の重量を基準にして）含有する上塗層用ペーストを用い、前記ガラスフリット粒子表面のみが溶ける範囲内の温度で焼付して形成されたことを特徴とする多層セラミックチップ型コンデンサ。

【請求項7】 R が $0.13\sim0.15\text{mm}$ の範囲内である請求項4の多層セラミックチップ型コンデンサ。

【請求項8】 未溶融ガラスフリットは PbO 、 SiO_2 、 Al_2O_3 、 B_2O_3 及び ZnO からなる請求項6のコンデンサ。

【請求項9】 下塗層の焼付後の厚さは $5\sim20\mu\text{m}$ の範囲内であり、上塗層の焼付後の厚さは $20\sim100\mu\text{m}$ であり、下塗層よりも上塗層の方が厚い請求項6のコンデンサ。

【請求項10】 内部電極を有する多層セラミックコンデンサ素子と、導電性金属粉末とガラスフリットを含むペーストを前記多層セラミックコンデンサ素子の両端面に焼付けることにより前記内部電極と電気的に接続された外部電極と、該外部電極の表面に形成されたメッキ層とを有する多層セラミックチップ型コンデンサの製造方法において、

内部電極を有する多層セラミックコンデンサ素子を準備するステップと、

前記多層セラミックコンデンサ素子の内部電極に外部電極を接続すべき端面の周辺部を $R=0.1\text{mm}$ 以上の曲率半径に面取りするステップと、

前記面取りされた端面に、導電性金属粉末に対し未溶融ガラスフリットを $22\sim40$ 重量%（ペースト内の無機成分の重量を基準にして）含有する下塗層用ペーストを塗布し、乾燥するステップと、

前記乾燥した下塗層の表面に導電性金属粉末に対し未溶融ガラスフリットを 0 重量%超 7 重量%以下（ペースト内の無機成分の重量を基準にして）含有する上塗層用ペーストを塗布し、乾燥するステップと、

前記乾燥下塗層及び上塗層を前記未溶融ガラスフリット粒子の表面のみが溶融し、内部は未溶融のままに維持できる温度で焼付して2層構造外部電極を形成させるステップと、

前記形成外部電極の表面にメッキ層を形成するステップとからなることを特徴とする多層セラミックチップ型コンデンサの製造方法。

【請求項11】 R が $0.13\sim0.15\text{mm}$ の範囲内である請求項10の方法。

【請求項12】 未溶融ガラスフリットは PbO 、 SiO_2 、 Al_2O_3 、 B_2O_3 及び ZnO からなる請求項10の方法。

【請求項13】 下塗層の焼付後の厚さは $5\sim20\mu\text{m}$ の範囲内であり、上塗層の焼付後の厚さは $20\sim100\mu\text{m}$ であり、下塗層よりも上塗層の方が厚い請求項10

の方法。

【請求項14】 内部電極を有する多層セラミックコンデンサ素子と、導電性金属粉末とガラスフリットを含むペーストを前記多層セラミックコンデンサ素子の両端面に焼付けることにより前記内部電極と電気的に接続された外部電極と、該外部電極の表面に形成されたメッキ層とを有する多層セラミックチップ型コンデンサの製造方法において、

内部電極を有する多層セラミックコンデンサ素子を準備するステップと、

前記多層セラミックコンデンサ素子の内部電極に外部電極を接続すべき端面の周辺部を $R=0.1\text{mm}$ 以上の曲率半径に面取りするステップと、

前記面取りされた端面に、導電性金属粉末に対し未熔融ガラスフリットを22~40重量%（ペースト内の無機成分の重量を基準にして）含有する下塗層用ペーストを塗布し、乾燥後、前記未熔融ガラスフリット粒子の表面のみが溶融し、内部は未熔融のままに維持できる温度で焼付して下塗層を形成するステップと、

前記焼付下塗層の表面に導電性金属粉末に対し未熔融ガラスフリットを0重量%超7重量%以下（ペースト内の無機成分の重量を基準にして）含有する上塗層用ペーストを塗布し、乾燥後、前記未熔融ガラスフリット粒子の表面のみが溶融し、内部は未熔融のままに維持でき、前記下塗層の焼付に使用された温度よりも低い温度で焼付して上塗層を形成すると共に、下塗層と上塗層とからなる2層構造外部電極を形成するステップと、

前記形成外部電極の表面にメッキ層を形成するステップとからなることを特徴とする多層セラミックチップ型コンデンサの製造方法。

【請求項15】 R が $0.13\sim0.15\text{mm}$ の範囲内である請求項14の方法。

【請求項16】 未熔融ガラスフリットは PbO 、 SiO_2 、 Al_2O_3 、 B_2O_3 及び ZnO からなる請求項14の方法。

【請求項17】 下塗層の焼付後の厚さは $5\sim20\mu\text{m}$ の範囲内であり、上塗層の焼付後の厚さは $20\sim100\mu\text{m}$ であり、下塗層よりも上塗層の方が厚い請求項14の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は多層セラミックチップ型コンデンサに関する。更に詳細には、本発明は繰り返しの熱衝撃を受けてもクラックの発生しにくい多層セラミックチップ型コンデンサに関する。

【0002】

【従来の技術】コンデンサ、チップ抵抗器またはLSIパッケージなどの多層セラミックチップ型電子部品はその実装効率の高さから、最近の小型電子機器類で多用されている。

【0003】従来の多層セラミックチップ型電子部品はその外部電極が金属粉末と溶融されたフリットの焼結体で形成されていたため、それ自体に剛性があり、回路基板にはんだ付けした場合、基板の撓みにより、外部電極を介して多層セラミックチップ型電子部品自体に応力が直接作用し、多層セラミックチップ型電子部品の外部電極付近にクラックが発生し易かった。

【0004】また、外部電極は金属材料と溶融されたフリットの焼結体で形成されているため、熱伝導性が高く、はんだ付け時の熱が外部電極及びこれに導通する内部電極（金属）に伝わり、熱伝導性の低いセラミック多層体部分との間の熱膨張の差を与え、これらを破壊したり、クラックを発生させることがあった。

【0005】これらの欠点を解消するため、特開平4-257211号公報には、外部電極に機械的及び熱的緩衝機能を付与し、電子部品本体のクラック発生を防止した多層セラミックチップ型電子部品が開示されている。図9はこの多層セラミックチップ型電子部品の一例の構成を示す概要断面図である。電子部品本体の内部電極110と導通する引出電極150の外面に導電ペーストを用いた緩衝材層160を設け、この緩衝材層160で引出電極150の全面を覆うと共に、緩衝材層160の外面にメッキ層170を設けて外部電極140を形成し、緩衝材層160の機械的緩衝機能により回路基板の撓み時における変形応力の電子部品本体への伝播を緩和し、破壊の発生を防ぐと共に、緩衝材層160の熱的な緩衝機能により熱伝導率が低下し、はんだ付け時の内部電極へ熱伝播を少なくし、内部電極とセラミック界面の熱衝撃によるクラックの発生を防止している。前記メッキ層はNiを用いた内側層180と、Sn又はSn/Pbなどをを用いた外側層190で形成されている。従って、図9のチップ型電子部品における外部電極140は実質的に4層から構成されている。

【0006】図9に示されたような従来の多層セラミックチップ型電子部品は、メッキ液の侵入防止及び水素の内部電極への吸着を抑制し、また、はんだ付け時の熱衝撃に耐えることができる。内部電極がPdのため、電気メッキ時に発生する水素が吸着して使用時に急激に膨張するためクラックを誘発すると考えられており、水素の吸着はゼロであることが好ましい。しかし、従来の多層セラミックチップ型電子部品は熱衝撃の繰り返しの繰返し（ $-55^{\circ}\text{C}\sim+125^{\circ}\text{C}$ ）には数百サイクルで、クラック及び絶縁劣化などが発生するため、より一層の高信頼性を要求するユーザには未だ十分な満足を与えることができない。

【0007】

【発明が解決しようとする課題】従って、本発明の目的は熱衝撃サイクルに強い多層セラミックチップ型コンデンサを提供することである。

【0008】

【課題を解決するための手段】前記課題を解決するための手段として、内部電極を有する多層セラミックコンデンサ素子と、導電性金属粉末とガラスフリットを含むペーストを前記多層セラミックコンデンサ素子の両端面に焼付けることにより前記内部電極と電氣的に接続された外部電極と、当該外部電極の表面に形成されたメッキ層とを有する多層セラミックチップ型コンデンサにおいて、

①前記多層セラミックコンデンサ素子の内部電極と外部電極とが接続される両端面の周辺部を $R=0.10\text{mm}$ 以上の曲率半径で面取りする；および／または、

②前記外部電極が、前記内部電極に接触する下塗層と、この下塗層表面に形成される上塗層との2層構造を有し、前記下塗層は導電性金属粉末に対し未溶融ガラスフリットを22～40重量%含有する下塗層用ペーストを用い、前記上塗層は導電性金属粉末に対し未溶融ガラスフリットを0重量%超7重量%以下含有する上塗層用ペーストを用い、前記ガラスフリット粒子表面のみが溶ける範囲内の温度で焼して形成する；ことを特徴とする多層セラミックチップ型コンデンサを提供する。

【0009】

【発明の実施の形態】従来のコンデンサ素子の電極形成用の両端面部は $R=0.03\sim0.08\text{mm}$ 程度の曲率半径に面取りされることがあった。この面取りの目的は実装時のフィード詰まりを防止するためであり、面取りの曲率半径もそれほど厳密に定められていなかった。これに対して、コンデンサ素子の電極形成用の両端面部を $R=0.1\text{mm}$ 以上、好ましくは $0.13\sim0.15\text{mm}$ の範囲内の曲率半径に面取りすると、エッジ部分における応力が分散されるために、耐熱衝撃性を向上させることができることが発見された。

【0010】また、本発明では、2層構造外部電極において未溶融ガラスフリットを使用し、かつ、2層構造外部電極を形成する際、フリット粒子表面のみを溶融させ、内部は未溶融のままに維持することができる温度で焼付ける。このため、従来の溶融ガラスフリットに比べて熱衝撃の吸収効果が高い。更に、熱膨張率を誘電体、下塗層、上塗層及びメッキ層の順に段階的に変化させることにより応力を分散させることができる。その結果、はんだ付け温度による熱衝撃に対しクラック発生及びクラックから誘発される絶縁劣化発生を防止し、更に、熱衝撃サイクルに対してもクラック発生及びクラックから誘発される絶縁劣化発生を防止することができる。

【0011】前記①面取り又は②2層構造外部電極はそれぞれ単独でも十分な耐熱衝撃性及び熱衝撃サイクル改善効果を示すが、より一層優れた耐熱衝撃性及び熱衝撃サイクル改善効果を得るために、①面取り、及び②2層構造外部電極を同時に実施することが好ましい。

【0012】図1は内部電極と外部電極とが接続される両端面の周辺部が面取りされた本発明の多層セラミック

チップ型コンデンサの一例の部分概要断面図である。図1に示されるように、本発明の多層セラミックチップ型コンデンサ1は、薄いセラミック誘電体層3と内部電極5を交互に積層した多層セラミックコンデンサ素子7を有する。内部電極5は1枚おきに左右の外部電極（下記で詳細に説明する）に接続されている。セラミック誘電体は例えば、鉛リタカ系又はチタン酸バリウム系の誘電体及びチタン系誘電体などが使用できる。また、内部電極としては、パラジウム、白金、銀／パラジウム合金などの貴金属の他、ニッケルなどの卑金属も使用できる。セラミック誘電体層の厚みは数 $10\mu\text{m}$ 程度であり、層数は20～100層又はこれ以上とすることができる。内部電極5の端部には外部電極9が接続されている。外部電極9の表面にはNiメッキ層11が鍍着され、更にこのメッキ層11の表面にははんだメッキ（例えば、Sn又はSn/Pb）層13が鍍着されている。図1に示された多層セラミックチップ型コンデンサにおける外部電極9は従来から慣用されている外部電極材料から形成することができる。

【0013】多層セラミックコンデンサ素子7の内部電極と外部電極との接合面の両長辺と両短辺は 0.10mm 以上の曲率半径（R）に面取りされている。 $0.13\sim0.15\text{mm}$ の範囲内の曲率半径が好ましい。長辺と短辺が交差する4つのコーナー部の曲率半径は、長辺の面取りと短辺の面取りが加重するため $0.13\sim0.15\text{mm}$ の曲率半径よりも大きくなることがある。素子の外部電極接合面を $R=0.10\text{mm}$ 以上に面取りすると、エッジ部分における応力が分散されるために、耐熱衝撃性及び熱衝撃サイクルを向上させることができる。 $R=0.15\text{mm}$ 超の曲率半径も使用できるが、耐熱衝撃性及び熱衝撃サイクル向上効果が飽和するので、処理コストがかかるだけで不経済になる。

【0014】多層セラミックコンデンサ素子自体は当業者に周知の方法で製造できる。周知の方法で得られた多層セラミックコンデンサ素子を研磨剤の電融アルミナ及びタングステンカーバイト粉末と共に適当なポットに入れ、このポット内に水又は適当な有機媒体を入れ回転させることにより、素子の内部電極を露出させ、外部電極との接合を向上させる一方、外周の辺部を面取りすることができる。その他の研磨剤も使用できる。ポットの回転速度及び回転時間は所望の外周の曲率半径に応じて当業者が適宜決定することができる。例えば、事前に各曲率半径に応じた回転速度及び回転時間を実験的に決定しておくことにより、実際の製造に必要な処理条件を容易に決定することができる。

【0015】図2は多層セラミックコンデンサ素子の外部電極接合面の辺部の面取り効果を立証する特性図である。素子の外部電極接合面の辺部を面取りし、 -55°C と $+125^{\circ}\text{C}$ の温度を1サイクルとして300サイクルの周期で熱衝撃サイクル試験を行った。図示されている

ように、接合面の辺部を $R=0.13\text{mm}$ 以上に面取りすると不良率(クラック発生率)は0%になる。

【0016】図3は、2層構造外部電極を有する本発明の多層セラミックチップ型コンデンサの一例の部分概要断面図である。図示されているように、多層セラミックコンデンサ素子7の端面に接合される外部電極9は下塗層9aと上塗層9bの2層構造を有する。下塗層9aは概ね、銀、パラジウム、白金及び/又は銅などの導電性金属粉末に PbO 、 SiO_2 、 Al_2O_3 、 B_2O_3 及び ZnO からなる未熔融フリットを22~40重量%(ペースト内の無機成分の重量を基準にして)配合し、エチルセルロース及びタービオネールからなるビヒクルと混練した下塗層用ペーストを用いて形成され、上塗層9bは概ね、銀、パラジウム、白金及び/又は銅などの導電性金属に PbO 、 SiO_2 、 Al_2O_3 、 B_2O_3 及び ZnO からなる未熔融フリットを0重量%超7重量%以下(ペースト内の無機成分の重量を基準にして)配合し、エチルセルロース及びタービオネールからなるビヒクルと混練した上塗層用ペーストを用いて形成される。

【0017】図4は下塗層用ペースト内の未熔融ガラスフリットの配合量と静電容量の関係を示す特性図である。図示されているように、配合量が40重量%を超えると静電容量が急激に低下してくる。下塗層用ペーストにおける未熔融フリットの配合量が22重量%未満でも静電容量比は100%であるが、所望の熱衝撃サイクル向上効果が得られない。従って、下塗層用ペースト内の未熔融ガラスフリットの配合量は22~40重量%の範囲内が好ましい。

【0018】一方、上塗層用ペーストにおける未熔融フリットの配合量が7重量%超では、メッキ膜の付着性が悪かったり、あるいはメッキが付きにくいなどの不都合が生じるので好ましくない。上塗層用ペーストにおける未熔融フリットの配合量が0%でも、焼付後に下塗層内のフリットが拡散してくるので、最終製品の上塗層内には若干量の未熔融フリットが存在できるが、確実に存在させるために、上塗層用ペーストに未熔融ガラスフリットを必ず配合することが好ましい。

【0019】下塗層9aの焼付後の厚さは5~20 μm の範囲内であり、上塗層9bの焼付後の厚さは20~100 μm の範囲内であり、下塗層に比べて上塗層のほうが厚いことが好ましい。下塗層に対して上塗層を厚くすると熱応力を効果的に吸収することができる。下塗層9aの焼付後の厚さが5 μm 未満の場合、外部電極の付着性が小さくなり、あるいはメッキ液の侵入などにより絶縁劣化などの問題が生じる。一方、20 μm 超の場合、静電容量が100%得られないなどの不都合が生じる。また、上塗層9bの焼付後の厚さが20 μm 未満では、静電容量が100%得られず、メッキの付きが悪くなるなどの問題が生じる。一方、100 μm 超では所期の効果が飽和し、不経済になるだけであり、好ましくない。

【0020】下塗層用ペーストをタービオネール、ジエチレングリコール：モノブチルエーテルアセテートなどの溶剤で希釈し、素子の端面に塗布し、180~230℃で8~15分間乾燥し、同様に上塗層用ペーストを希釈し、前記下塗層上に塗布し、乾燥する。次いで、20℃/分の昇温速度で、昇温し、600~700℃の温度で10~20分間維持して焼付し、その後、徐冷しながら室温にまで放冷させる。別法として、下塗層を塗布し乾燥後、焼付し、この焼付した下塗層に上塗層用ペーストを塗布し、乾燥した後、再び焼付することによっても外部電極を形成することができる。後者の方法で重要なことは、下塗層の焼付に使用された温度よりも上塗層の焼付に使用される温度のほうが低いことである。何れの方法でも、最も重要なことは、使用される焼付温度は未熔融フリット粒子の表面のみを溶融させ、内部は未熔融のままに維持することができる温度でなければならない。未熔融フリットを用いて焼付時にフリット粒子の表面だけをガラス化させることにより耐熱衝撃性、熱衝撃サイクルを向上させることができるばかりか、メッキ液の侵入及び水素の吸着を防止できる。従来の熔融フリットを用いた場合、外部電極をたとえ2層構造にしても、メッキ液の侵入及び水素の吸着は防止できても、熱衝撃を吸収することはできない。

【0021】焼結2層構造外部電極の表面へのメッキ層の形成は当業者に周知の方法で行うことができる。メッキは、Niメッキ層、続いてSn又はSn/Pbはんだメッキ層の順に行われる。メッキ層は電解メッキ及び無電解メッキの何れの方法でも形成できる。メッキ層の膜厚は特に限定されない。一般的に、3 μm ~5 μm の範囲内である。当業者に常用されている膜厚を適宜使用できる。

【0022】図5は内部電極と外部電極とが接続される両端面の周辺部が面取りされ、かつ、2層構造外部電極を有する本発明の多層セラミックチップ型コンデンサの一例の部分概要断面図である。このような構造にすることにより非常に優れた耐熱衝撃性及び熱衝撃サイクルを有する多層セラミックチップ型コンデンサが得られる。

【0023】

【実施例】次に本発明の多層セラミックチップ型電子部品の耐熱衝撃性及び熱衝撃サイクル改善効果を実施例及び比較例により例証する。

【0024】実施例1

図1に示されるような構造を有する多層セラミックチップ型コンデンサを製造した。

(a)素子の面取り

多層セラミックコンデンサ素子7のセラミック誘電体3はチタン酸バリウム系であり、内部電極5は $\text{Ag}_{70}\text{Pd}_{30}$ の合金を使用した。層数は25層であり、長さ2mm、幅1.25mm、厚さ0.6mmの寸法を有する。この素子を、平均粒径40メッシュの電融アルミナ50

重量%と平均粒径40メッシュのタングステンカーバイト50重量%からなる混合粉末と共に、ポットにいれ、78rpmの回転速度で室温で12時間回転させ、外部電極形成用端面の周辺部を $R=0.13\text{mm}$ の曲率半径に面取りした。

(b)外部電極の形成

平均粒径が $3\mu\text{m}$ のAg粉末91.3重量%（無機成分の総重量を基準にして）と、このAg粉末に対して8.7重量%（無機成分の総重量を基準にして）の $\text{PbO}/\text{SiO}_2/\text{ZnO}$ からなる、平均粒径が $5\mu\text{m}$ の溶融ガラスフリット粒子を20mlのエチルセルロース/タービオネール混液からなるビヒクルと共に混練してペーストを調製した。このペーストを前記素子の面取りされた両端面に焼付け後の厚さが $100\mu\text{m}$ になるように塗布し、大気圧下で 200°C で15分間乾燥した。その後、 800°C で10分間焼付し、外部電極を形成した。

(c)Niメッキ層の形成

中性ニッケル浴を使用して、濃度 500g/l 、電流密度 $0.03\text{A}/\text{dm}^2$ 、浴温度 50°C で2時間かけ、外部電極表面に膜厚 $3\mu\text{m}$ のNiメッキ膜を形成した。アノードはNi/100を使用した。

(d)はんだメッキ層の形成

中性はんだメッキ浴（Sn/Pb）を使用し、濃度 25g/l 、電流密度 $0.02\text{A}/\text{dm}^2$ 、浴温度 30°C で2時間かけ、Niメッキ層表面に膜厚 $3\mu\text{m}$ のSn/Pbメッキ膜を形成した。アノードはSn/Pbを使用した。

【0025】比較例1

実施例1で使用された素子と同じ素子を用いて、78rpmの回転速度で6時間回転させることにより、外部電極形成用端面の周辺部を $R=0.08\text{mm}$ に面取りしたこと以外は実施例1と同様な方法でコンデンサを形成した。

【0026】 $R=0.13\text{mm}$ に面取りされた実施例1のコンデンサ30個と、 $R=0.08\text{mm}$ に面取りされた比較例1のコンデンサ30個とを、 -55°C と $+125^\circ\text{C}$ の温度を1サイクルとして熱衝撃サイクル試験を行った。結果を図6に示す。図示されているように、接合面の辺部を $R=0.13\text{mm}$ に面取りすると300サイクルまで不良率（クラック発生率）は0%であり、400サイクルでは約20%となり、500サイクルでは約40%になる。これに対し、 $R=0.08\text{mm}$ の対照品は100サイクルまでは不良率0%であるが、300サイクルでは40%超、500サイクルでは約90%にまで達する。

【0027】実施例2

図3に示されるような構造を有する多層セラミックチップ型コンデンサを製造した。

(a)素子の処理

多層セラミックコンデンサ素子7のセラミック誘電体3

はチタン酸バリウム系であり、内部電極5は $\text{Ag}_{70}\text{Pd}_{30}$ の合金を使用した。積層数は15層であり、長さ 2mm 、幅 1.25mm 、厚さ 0.6mm の寸法を有する。この素子を平均粒径40メッシュの電融アルミナ50重量%と平均粒径40メッシュのタングステンカーバイト50重量%からなる混合粉末と共に、ポットにいれ、78rpmの回転速度で6時間回転させることにより、外部電極形成用端面の周辺部を $R=0.08\text{mm}$ に形成した。

(b)外部電極用下塗層の形成

平均粒径が $3\mu\text{m}$ のAg粉末60重量%（無機成分の総重量を基準にして）と、このAg粉末に対して40重量%（無機成分の総重量を基準にして）の $\text{PbO}/\text{SiO}_2/\text{Al}_2\text{O}_3/\text{B}_2\text{O}_3/\text{ZnO}$ からなる、平均粒径が $5\mu\text{m}$ の未溶融ガラスフリット粒子を20mlのエチルセルロース/タービオネール混液からなるビヒクルと共に混練して下塗層用ペーストを調製した。このペーストを前記素子の面取りされた両端面に焼付け後の厚さが $20\mu\text{m}$ になるように塗布し、大気圧下で 200°C で15分間乾燥した。

(c)外部電極用上塗層の形成

平均粒径が $3\mu\text{m}$ のAg粉末97.5重量%（無機成分の総重量を基準にして）と、このAg粉末に対して2.5重量%（無機成分の総重量を基準にして）の $\text{PbO}/\text{SiO}_2/\text{Al}_2\text{O}_3/\text{B}_2\text{O}_3/\text{ZnO}$ からなる、平均粒径が $5\mu\text{m}$ の未溶融ガラスフリット粒子を20mlのエチルセルロース/タービオネール混液からなるビヒクルと共に混練して上塗層用ペーストを調製した。このペーストを前記素子の面取りされた両端面に焼付け後の厚さが $60\mu\text{m}$ になるように塗布し、大気圧下で 200°C で15分間乾燥した。

(d)外部電極の焼結

上塗層の乾燥後、 $20^\circ\text{C}/\text{分}$ の速度で昇温し、 600°C に達した後、この温度を20分間維持して未溶融ガラスフリットを焼付し、フリット粒子の表面だけを溶融させ、内部は未溶融のままに維持した。

(e)Niメッキ層の形成

中性ニッケル浴を使用して、濃度 500g/l 、電流密度 $0.03\text{A}/\text{dm}^2$ 、浴温度 50°C で2時間かけ、外部電極表面に膜厚 $3\mu\text{m}$ のNiメッキ膜を形成した。アノードはNi/100を使用した。

(f)はんだメッキ層の形成

中性はんだメッキ浴（Sn/Pb）を使用し、濃度 25g/l 、電流密度 $0.02\text{A}/\text{dm}^2$ 、浴温度 30°C で2時間かけ、Niメッキ層表面に膜厚 $3\mu\text{m}$ のSn/Pbメッキ膜を形成した。アノードはSn/Pbを使用した。

【0028】実施例2で得られた各コンデンサ30個について、 -55°C と $+125^\circ\text{C}$ の温度を1サイクルとして熱衝撃サイクル試験を行った。結果を図7に示す。図

11

7には比較例1で得られたコンデンサの熱衝撃サイクル試験の結果(図6参照)を併せて記載した。図示されているように、たとえ $R=0.1\text{mm}$ 以上に面取りがされていなくても、本発明に従って外部電極を2層構造化すると500サイクルまで不良率を0%に抑えることができる。これらの結果から、 $R=0.1\text{mm}$ 以上に面取りもされておらず、しかも、従来の単一層外部電極構造を有する比較例1のコンデンサに比べて、本発明の2層構造外部電極を有するコンデンサは非常に優れた耐熱衝撃性及び熱衝撃サイクルを有することが理解できる。

【0029】実施例3

図5に示されるような構造を有する多層セラミックチップ型コンデンサを製造した。

(a)素子の面取り

多層セラミックコンデンサ素子7のセラミック誘電体3はチタン酸バリウム系であり、内部電極5は $\text{Ag}_{70}\text{Pd}_{30}$ の合金を使用した。積層数は15層であり、長さ2mm、幅1.25mm、厚さ0.6mmの寸法を有する。この素子を、平均粒径40メッシュの電融アルミナ50重量%と平均粒径40メッシュのタングステンカーバイド50重量%からなる混合粉末と共に、ボットにいれ、78rpmの回転速度で室温で12時間回転させ、外部電極形成用端面の周辺部を $R=0.13\text{mm}$ の曲率半径に面取りした。

(b)外部電極用下塗層の形成

平均粒径が $3\mu\text{m}$ のAg粉末60重量%(無機成分の総重量を基準にして)と、このAg粉末に対して40重量%(無機成分の総重量を基準にして)の $\text{PbO}/\text{SiO}_2/\text{Al}_2\text{O}_3/\text{B}_2\text{O}_3/\text{ZnO}$ からなる、平均粒径が $5\mu\text{m}$ の未溶融仮焼ガラスフリット粒子を20mlのエチルセルロース/タービオネール混液からなるビヒクルと共に混練して下塗層用ペーストを調製した。このペーストを前記素子の面取りされた両端面に焼付け後の厚さが $20\mu\text{m}$ になるように塗布し、大気圧下で 200°C で15分間乾燥した。

(c)外部電極用上塗層の形成

平均粒径が $3\mu\text{m}$ のAg粉末97.5重量%(無機成分の総重量を基準にして)と、このAg粉末に対して2.5重量%(無機成分の総重量を基準にして)の $\text{PbO}/\text{SiO}_2/\text{Al}_2\text{O}_3/\text{B}_2\text{O}_3/\text{ZnO}$ からなる、平均粒径が $5\mu\text{m}$ の未溶融仮焼ガラスフリット粒子を20mlのエチルセルロース/タービオネール混液からなるビヒクルと共に混練して上塗層用ペーストを調製した。このペーストを前記素子の面取りされた両端面に焼付け後の厚さが $60\mu\text{m}$ になるように塗布し、大気圧下で 200°C で15分間乾燥した。

(d)外部電極の焼結

上塗層の乾燥後、 $20^\circ\text{C}/\text{分}$ の速度で昇温し、 600°C に達した後、この温度を20分間維持して未溶融ガラスフリットを焼付し、フリット粒子の表面だけを溶融さ

12

せ、内部は未溶融のままに維持した。

(e)Niメッキ層の形成

中性ニッケル浴を使用して、濃度 500g/l 、電流密度 $0.03\text{A}/\text{dm}^2$ 、浴温度 50°C で2時間かけ、外部電極表面に膜厚 $3\mu\text{m}$ のNiメッキ膜を形成した。アノードはNi/100を使用した。

(f)はんだメッキ層の形成

中性はんだメッキ浴(Sn/Pb)を使用し、濃度 25g/l 、電流密度 $0.02\text{A}/\text{dm}^2$ 、浴温度 30°C で2時間かけ、Niメッキ層表面に膜厚 $3\mu\text{m}$ のSn/Pbメッキ膜を形成した。アノードはSn/Pbを使用した。

【0030】実施例3で得られたコンデンサのサンプル30個について熱衝撃サイクル試験を行った。 -55°C と $+125^\circ\text{C}$ の温度を1サイクルとし、この熱衝撃サイクルの回数と不良率(クラック発生率)との関係を図8に示す。図8には、実施例1、実施例2及び比較例1で得られた各コンデンサの熱衝撃サイクル試験の結果も併せて記入した。図示されているように、実施例3のサンプルは1000サイクル経過後でも不良率は0%である。実施例1のサンプルは300サイクルを越えると不良率が上昇し始める。一方、実施例2のサンプルは1000サイクルにおける不良率が20%超となる。従って、図7及び図8に示された結果から、実施例1における面取りと実施例2における2層構造外部電極を併用すると、それぞれを単独で使用する場合に比べて一層優れた耐熱衝撃性及び熱衝撃サイクルが得られることが理解できる。

【0031】実施例3で得られたサンプルの素子の熱膨張率は 1.75×10^{-6} であり、外部電極下塗層の熱膨張率は 1.09×10^{-6} であり、外部電極上塗層の熱膨張率は 1.28×10^{-5} である。このため、下塗層が熱膨張緩衝層となり、素子と外部電極との接合界面で応力集中が起こらず、逆に応力分散が起こるために耐熱衝撃性に優れた製品が得られる。これに対し、従来の1回塗り外部電極を有するサンプルでは、素子の熱膨張率は 1.75×10^{-6} であり、外部電極の熱膨張率が 1.28×10^{-5} であると、素子と外部電極との接合界面に熱衝撃による応力集中が起こり、耐熱衝撃性の低い製品しか得られない。

【0032】本発明の多層セラミックチップ型コンデンサは、このタイプのコンデンサとして必要な静電容量、誘電正接及び絶縁抵抗を有していた。また、はんだ耐熱性の点では、はんだ喰われがなく、はんだの熱衝撃に伴うクラック発生及び接合剥がれや絶縁抵抗の劣化が生じない。更に、はんだ付け後の製品が熱衝撃サイクル、熱衝撃、曲げなどに対し非常に強い耐性を有する。2層構造外部電極の下塗層及び上塗層のいずれにもボイドが存在せず、メッキ液の侵入及び水素の侵入を確実に防止することができる。本発明によれば、下塗層でメッキ液及

13

び水素の侵入を防止し、上塗層でメッキ層との付着性を向上させている。

【0033】本発明の2層構造外部電極はコンデンサの他、チップ抵抗器、LSIパッケージなどに応用することができる。その他の電子部品についても当然使用できる。このような電子部品は当業者に周知である。

【0034】

【発明の効果】以上説明したように、本発明によれば、素子の外部電極形成用端面の周辺部を $R=0.10\text{mm}$ 以上の曲率半径に面取りし、外部電極を2層構造化することにより優れた耐熱衝撃性及び熱衝撃サイクルを得ることができる。特に、外部電極において、未熔融ガラスフリットを使用し、かつ、2層構造外部電極を形成する際、フリット粒子表面のみを溶融させ、内部は未熔融のままに維持することができる温度で焼付ける。このため、従来の溶融ガラスフリットに比べて熱衝撃の吸収効果が高い。更に、熱膨張率を誘電体、下塗層、上塗層及びメッキ層の順に段階的に変化させることにより熱膨張応力を分散させることができる。その結果、はんだ付け温度による熱衝撃に対しクラック発生及び絶縁劣化発生を防止することができる。また、製品の使用中に高温と低温の熱衝撃サイクルを被っても、このような熱衝撃サイクルに伴うクラック発生及び絶縁劣化発生を防止することができる。従って、本発明の製品は長期間にわたって高い信頼性を維持することができる。

【図面の簡単な説明】

【図1】本発明による多層セラミックチップ型電子部品の一例の部分概要断面図である。

【図2】セラミック素子の端面を面取りする際の、面取

14

り曲率半径と不良率との関係を示す特性図である。

【図3】本発明による多層セラミックチップ型電子部品の別の例の部分概要断面図である。

【図4】外部電極の下塗層用ペースト内の未熔融フリット配合量と静電容量比との関係を示す特性図である。

【図5】本発明による多層セラミックチップ型電子部品の更に別の例の部分概要断面図である。

【図6】実施例1及び比較例1で得られた各コンデンサの熱衝撃サイクル数と不良率との関係を示す特性図である。

【図7】実施例2及び比較例1で得られた各コンデンサの熱衝撃サイクル数と不良率との関係を示す特性図である。

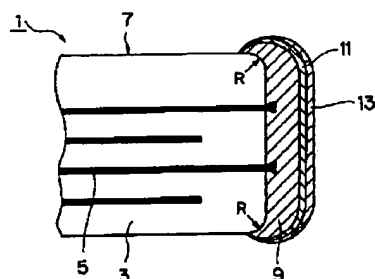
【図8】実施例1、実施例2、実施例3及び比較例1で得られた各コンデンサの熱衝撃サイクル数と不良率との関係を示す特性図である。

【図9】従来の多層セラミックチップ型電子部品の一例の部分概要断面図である。

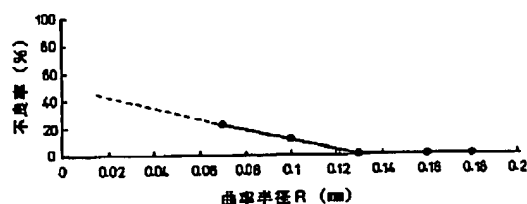
【符号の説明】

- 1 本発明の多層セラミックチップコンデンサ
- 3 セラミック誘電体層
- 5 内部電極
- 7 多層セラミックコンデンサ素子
- 9 外部電極
- 9a 外部電極下塗層
- 9b 外部電極上塗層
- 11 Niメッキ層
- 13 はんだメッキ層

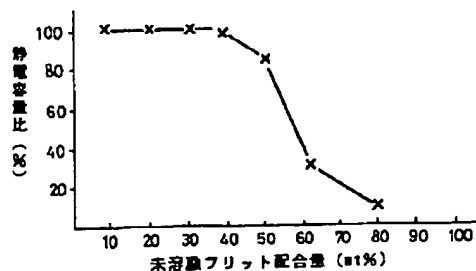
【図1】



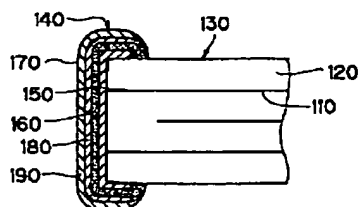
【図2】



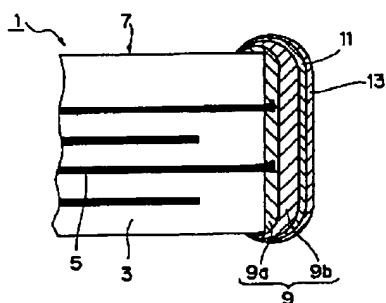
【図4】



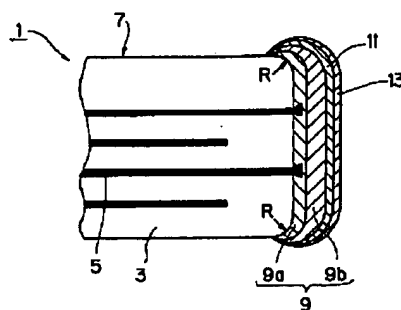
【図9】



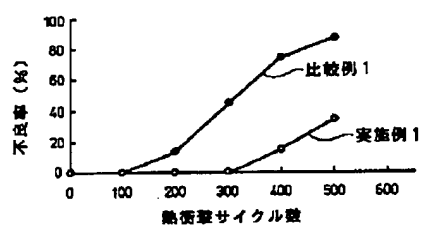
【図3】



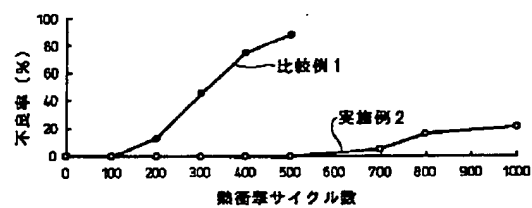
【図5】



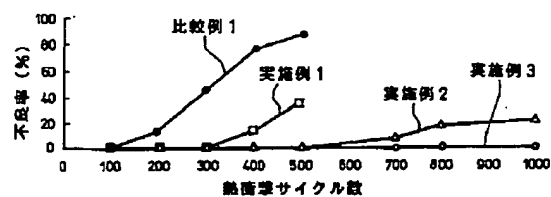
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl.⁶

H01G 4/30

識別記号

311

庁内整理番号

9174-5E

FI

H01G 1/147

技術表示箇所

A